

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Hideki KAWAI

Serial No.: New Application

Filed: March 3, 2004

For: DATA TRANSFER CONTROL DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2003-056463 filed March 4, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.



Roger W. Parkhurst
Registration No. 25,177

March 3, 2004
Date

RWP/ame
Attorney Docket No. YMOR:309
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 6 4 6 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 6 4 6 3]

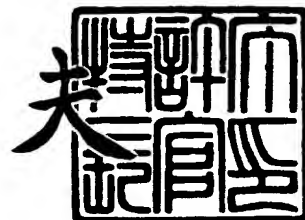
出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

7

2 0 0 4 年 1 月 2 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5037740116

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/36
G06F 13/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 河合 秀樹

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100113859

【弁理士】

【氏名又は名称】 板垣 孝夫

【電話番号】 06-6532-4025

【選任した代理人】

【識別番号】 100068087

【弁理士】

【氏名又は名称】 森本 義弘

【電話番号】 06-6532-4025

【手数料の表示】

【予納台帳番号】 200105

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書
【発明の名称】 データ転送制御装置
【特許請求の範囲】

【請求項 1】

プライマリ P C I バス、セカンダリ P C I バスおよび外部記憶装置と接続され、前記プライマリ P C I バスおよび前記セカンダリ P C I バスの前記外部記憶装置とのアクセスを制御するデータ転送制御装置であって、

前記プライマリ P C I バスの転送期間をクロックサイクル数でカウントする P - P C I バス側カウンタ回路と、

前記セカンダリ P C I バスの転送期間をクロックサイクル数でカウントする S - P C I バス側カウンタ回路と、

前記 P - P C I バス側カウンタ回路のカウント数と前記 S - P C I バス側カウンタ回路のカウント数より前記プライマリ P C I バスの T R D Y # のアサートタイミングと前記プライマリ P C I バスおよび前記セカンダリ P C I バスのアクセス制御を行うスケジューラ回路と、

前記スケジューラ回路の制御に応じて前記プライマリ P C I バスと前記セカンダリ P C I バスのアクセスを調停するアービタ回路と、

前記アービタ回路の調停に応じた前記セカンダリ P C I バスの前記外部記憶装置へのアクセスに対するインタフェースとなる S - P C I バスインタフェース回路と、

前記アービタ回路の調停に応じた前記プライマリ P C I バスと前記外部記憶装置間のアクセスに対するインタフェースおよび前記スケジューラの制御に応じた T R D Y # のアサートタイミングの調停を行う P - P C I バスインタフェース回路と、

前記プライマリ P C I バスまたは前記セカンダリ P C I バスへの前記外部記憶装置へのアクセスを調停するメモリインタフェース回路と

を有し、前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送中に前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスが発生した時に、前記セカンダリ P C I バスの前記外部記憶装置に対するアクセス直前の前記

プライマリ P C I バスの前記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートを、次の前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートまでの期間がバースト転送継続の規格値を満たすように遅らせることを特徴とするデータ転送制御装置。

【請求項 2】

プライマリ P C I バス、セカンダリ P C I バスおよび外部記憶装置と接続され、前記プライマリ P C I バスおよび前記セカンダリ P C I バスの前記外部記憶装置とのアクセスを制御するデータ転送制御装置であって、

前記プライマリ P C I バスの転送期間をクロックサイクル数でカウントする P - P C I バス側カウンタ回路と、

前記セカンダリ P C I バスの転送期間をクロックサイクル数でカウントする S - P C I バス側カウンタ回路と、

前記 P - P C I バス側カウンタ回路のカウント数と前記 S - P C I バス側カウンタ回路のカウント数より前記プライマリ P C I バスの T R D Y # のアサートタイミングと前記プライマリ P C I バスおよび前記セカンダリ P C I バスのアクセス制御を行うスケジューラ回路と、

前記スケジューラ回路の制御に応じて前記プライマリ P C I バスと前記セカンダリ P C I バスのアクセスを調停するアービタ回路と、

前記アービタ回路の調停に応じた前記セカンダリ P C I バスの前記外部記憶装置へのアクセスに対するインタフェースとなる S - P C I バスインタフェース回路と、

前記アービタ回路の調停に応じた前記プライマリ P C I バスと前記外部記憶装置へのアクセスに対するインタフェースおよび前記スケジューラの制御に応じた T R D Y # のアサートタイミングの調停を行う P - P C I バスインタフェース回路と、

前記プライマリ P C I バスまたは前記セカンダリ P C I バスへの前記外部記憶装置へのアクセスを調停するメモリインタフェース回路と

を有し、前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送中に複数の前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスが発生

した時に、前記プライマリ P C I バスの前記外部記憶装置に対するアクセスと前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスを繰り返し、前記セカンダリ P C I バスの前記外部記憶装置に対する各アクセス直前の前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートを、次の前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートまでの期間がバースト転送継続の規格値を満たすように遅らせることを特徴とするデータ転送制御装置。

【請求項 3】

プライマリ P C I バス、セカンダリ P C I バスおよび外部記憶装置と接続され、前記プライマリ P C I バスおよび前記セカンダリ P C I バスの前記外部記憶装置とのアクセスを制御するデータ転送制御装置であって、

前記プライマリ P C I バスおよび前記セカンダリ P C I バスのアクセス制御を行い、前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送中に前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスが発生した時に前記プライマリ P C I バスをディスコネクトして前記セカンダリ P C I バスの前記外部記憶装置に対するアクセス要求を行い、続けて前記プライマリ P C I バスの前記外部記憶装置に対するアクセス要求を行うように制御するスケジューラ回路と、

前記スケジューラ回路の制御に応じて前記プライマリ P C I バスと前記セカンダリ P C I バスのアクセスを調停するアービタ回路と、

前記アービタ回路の調停に応じた前記セカンダリ P C I バスの前記外部記憶装置へのアクセスに対するインタフェースとなる S - P C I バスインタフェース回路と、

前記アービタ回路の調停に応じた前記プライマリ P C I バスと前記外部記憶装置へのアクセスに対するインタフェースを行う P - P C I バスインタフェース回路と、

前記プライマリ P C I バスまたは前記セカンダリ P C I バスへの前記外部記憶装置へのアクセスを調停するメモリインタフェース回路とを有し、前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送中

に前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスが発生した時に、前記セカンダリ P C I バスの前記外部記憶装置に対するアクセス中に前記プライマリ P C I バスの前記外部記憶装置に対する転送準備を行うことを特徴とするデータ転送制御装置。

【請求項 4】

前記外部記憶装置はデータバス幅が 3 2 ビットであり、前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送および前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスも 3 2 ビット単位で行われることを特徴とする請求項 1 または請求項 2 または請求項 3 のいずれかに記載のデータ転送制御装置。

【請求項 5】

前記外部記憶装置はデータバス幅が 1 6 ビットであり、前記プライマリ P C I バスの前記外部記憶装置に対する 3 2 ビットのバースト転送は上位、下位に分割されて 1 6 ビットずつ行われ、前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスも 1 6 ビット単位で行われることを特徴とする請求項 1 または請求項 2 または請求項 3 のいずれかに記載のデータ転送制御装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の P C I バスを有するシステムにおいて複数の P C I バス間のデータ転送を制御するデータ転送制御装置に関する。

【0 0 0 2】

【従来の技術】

P C I (Peripheral Component Interconnect) バスの詳細は、PCI Local bus Specification, Rev.2.1等で説明されている。P C I バスは、32本の信号線においてアドレス転送とデータ転送とを時分割にマルチプレクスして行うという特徴を有する。マルチプレクスによる転送を行えば、ある周辺装置の記憶装置において連続アドレスに格納されているようなデータを他の周辺装置に高速に転送することができる。P C I バスを介してのデータ転送は P C I バスにおける

使用権の獲得が必須要件であり、P C Iバスに接続されている複数のデバイス何れか一つのデバイスに使用権を授与するのは、P C Iバスに対して必ず設けられているマスタデバイスである。

【0003】

この時、2本のP C Iバスにおいて、一方のP C Iバスに接続されたデバイスが、データ転送制御装置に接続された外部記憶媒体へバースト転送する時、そのバースト転送を中断させないためには、1つのデータ転送が完了した後、8クロックサイクル以内に次のデータ転送を完了する必要がある（非特許文献1参照）。

【0004】

【非特許文献1】

PCI Local bus Specification, Rev.2.1

第2章 P C Iシステムアーキテクチャの概要

第6章 バスサイクル動作の詳細

第8章 マスタターミネーションとターゲットターミネーション

【0005】

【発明が解決しようとする課題】

しかしながら、図2の従来技術におけるデータ転送制御装置の動作を示すタイミングチャートに示すように、メモリアクセスに5クロックサイクル要し、プライマリP C Iバス（以下P-P C Iバスと称す）側でデータ転送の間隔が5クロックサイクルのバースト転送が行われているとき、セカンダリP C Iバス（以下S-P C Iバスと称す）側で当該ターゲットデバイスに対する α クロックサイクル分のアクセスが発生すると、S-P C Iバスからのメモリアクセス後のP-P C Iバスのデータ転送が完了するのは前回のデータ転送が完了してから、S-P C I側転送クロックサイクル α + P-P C I側メモリアクセス5クロックサイクル + P-P C I側転送5クロックサイクル = $10 + \alpha$ クロックサイクル必要となる。従って、8クロックルールに間に合わず、P C Iバスで規定されている8クロックルールを守りながら両方のメモリへのアクセスをアービトレーションすることができなくなるために、バースト転送が中断されることがあり、データ転送

を高速に行うことができなくなるという問題点があった。

【0006】

本発明の目的は、P-PCIバス側バースト転送中、S-PCIバス側アクセスが発生しても、高速なデータ転送を実現することである。

【0007】

【課題を解決するための手段】

上記目的を達成するために本発明の請求項1記載のデータ転送制御装置は、プライマリPCIバス、セカンダリPCIバスおよび外部記憶装置と接続され、前記プライマリPCIバスおよび前記セカンダリPCIバスの前記外部記憶装置とのアクセスを制御するデータ転送制御装置であって、前記プライマリPCIバスの転送期間をクロックサイクル数でカウントするP-PCIバス側カウンタ回路と、前記セカンダリPCIバスの転送期間をクロックサイクル数でカウントするS-PCIバス側カウンタ回路と、前記P-PCIバス側カウンタ回路のカウンタ数と前記S-PCIバス側カウンタ回路のカウンタ数より前記プライマリPCIバスのTRDY#のアサートタイミングと前記プライマリPCIバスおよび前記セカンダリPCIバスのアクセス制御を行うスケジューラ回路と、前記スケジューラ回路の制御に応じて前記プライマリPCIバスと前記セカンダリPCIバスのアクセスを調停するアービタ回路と、前記アービタ回路の調停に応じた前記セカンダリPCIバスの前記外部記憶装置へのアクセスに対するインタフェースとなるS-PCIバスインタフェース回路と、前記アービタ回路の調停に応じた前記プライマリPCIバスと前記外部記憶装置間のアクセスに対するインタフェースおよび前記スケジューラの制御に応じたTRDY#のアサートタイミングの調停を行うP-PCIバスインタフェース回路と、前記プライマリPCIバスまたは前記セカンダリPCIバスへの前記外部記憶装置へのアクセスを調停するメモリインタフェース回路とを有し、前記プライマリPCIバスの前記外部記憶装置に対するバースト転送中に前記セカンダリPCIバスの前記外部記憶装置に対するアクセスが発生した時に、前記セカンダリPCIバスの前記外部記憶装置に対するアクセス直前の前記プライマリPCIバスの前記外部記憶装置に対するバースト転送のTRDY#信号のアサートを、次の前記プライマリPCIバスの前

記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートまでの期間がバースト転送継続の規格値を満たすように遅らせることを特徴とする。

【 0 0 0 8 】

請求項 2 記載のデータ転送制御装置は、プライマリ P C I バス、セカンダリ P C I バスおよび外部記憶装置と接続され、前記プライマリ P C I バスおよび前記セカンダリ P C I バスの前記外部記憶装置とのアクセスを制御するデータ転送制御装置であって、前記プライマリ P C I バスの転送期間をクロックサイクル数でカウントする P - P C I バス側カウンタ回路と、前記セカンダリ P C I バスの転送期間をクロックサイクル数でカウントする S - P C I バス側カウンタ回路と、前記 P - P C I バス側カウンタ回路のカウント数と前記 S - P C I バス側カウンタ回路のカウント数より前記プライマリ P C I バスの T R D Y # のアサートタイミングと前記プライマリ P C I バスおよび前記セカンダリ P C I バスのアクセス制御を行うスケジューラ回路と、前記スケジューラ回路の制御に応じて前記プライマリ P C I バスと前記セカンダリ P C I バスのアクセスを調停するアービタ回路と、前記アービタ回路の調停に応じた前記セカンダリ P C I バスの前記外部記憶装置へのアクセスに対するインタフェースとなる S - P C I バスインタフェース回路と、前記アービタ回路の調停に応じた前記プライマリ P C I バスと前記外部記憶装置へのアクセスに対するインタフェースおよび前記スケジューラの制御に応じた T R D Y # のアサートタイミングの調停を行う P - P C I バスインタフェース回路と、前記プライマリ P C I バスまたは前記セカンダリ P C I バスへの前記外部記憶装置へのアクセスを調停するメモリインタフェース回路とを有し、前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送中に複数の前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスが発生した時に、前記プライマリ P C I バスの前記外部記憶装置に対するアクセスと前記セカンダリ P C I バスの前記外部記憶装置に対するアクセスを繰り返し、前記セカンダリ P C I バスの前記外部記憶装置に対する各アクセス直前の前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートを、次の前記プライマリ P C I バスの前記外部記憶装置に対するバースト転送の T R D Y # 信号のアサートまでの期間がバースト転送継続の規格値を満たすように

遅らせることを特徴とする。

【0009】

請求項3記載のデータ転送制御装置は、プライマリPCIバス、セカンダリPCIバスおよび外部記憶装置と接続され、前記プライマリPCIバスおよび前記セカンダリPCIバスの前記外部記憶装置とのアクセスを制御するデータ転送制御装置であって、前記プライマリPCIバスおよび前記セカンダリPCIバスのアクセス制御を行い、前記プライマリPCIバスの前記外部記憶装置に対するバースト転送中に前記セカンダリPCIバスの前記外部記憶装置に対するアクセスが発生した時に前記プライマリPCIバスをディスコネクトして前記セカンダリPCIバスの前記外部記憶装置に対するアクセス要求を行い、続けて前記プライマリPCIバスの前記外部記憶装置に対するアクセス要求を行うように制御するスケジューラ回路と、前記スケジューラ回路の制御に応じて前記プライマリPCIバスと前記セカンダリPCIバスのアクセスを調停するアービタ回路と、前記アービタ回路の調停に応じた前記セカンダリPCIバスの前記外部記憶装置へのアクセスに対するインタフェースとなるS-PCIバスインタフェース回路と、前記アービタ回路の調停に応じた前記プライマリPCIバスと前記外部記憶装置へのアクセスに対するインタフェースを行うP-PCIバスインタフェース回路と、前記プライマリPCIバスまたは前記セカンダリPCIバスへの前記外部記憶装置へのアクセスを調停するメモリインタフェース回路とを有し、前記プライマリPCIバスの前記外部記憶装置に対するバースト転送中に前記セカンダリPCIバスの前記外部記憶装置に対するアクセスが発生した時に、前記セカンダリPCIバスの前記外部記憶装置に対するアクセス中に前記プライマリPCIバスの前記外部記憶装置に対する転送準備を行うことを特徴とする。

【0010】

請求項4記載のデータ転送制御装置は、請求項1または請求項2または請求項3のいずれかに記載のデータ転送制御装置において、前記外部記憶装置はデータバス幅が32ビットであり、前記プライマリPCIバスの前記外部記憶装置に対するバースト転送および前記セカンダリPCIバスの前記外部記憶装置に対するアクセスも32ビット単位で行われることを特徴とする。

【0011】

請求項5記載のデータ転送制御装置は、請求項1または請求項2または請求項3のいずれかに記載のデータ転送制御装置において、前記外部記憶装置はデータバス幅が16ビットであり、前記プライマリPCIバスの前記外部記憶装置に対する32ビットのバースト転送は上位、下位に分割されて16ビットずつ行われ、前記セカンダリPCIバスの前記外部記憶装置に対するアクセスも16ビット単位で行われることを特徴とする。

【0012】

以上のように、P-PCIバス側バースト転送中にS-PCIバス側アクセスが発生しても、高速なデータ転送を実現することができる。

【0013】**【発明の実施の形態】**

本発明の実施の形態について説明する前に、PCIバスの使用権について説明する。

●使用権の獲得

PCIバスの使用権は、使用権獲得を要求する要求信号（以下、REQ）をマスタデバイスに送出して、バスマスタより出力される許可信号（以下、GNT）を受けることにより各デバイスに授与される。上記のようにしてデバイスが使用権を獲得した後、第1にデバイスのPCIバスが空き状態になり、まずアドレスを送出し、次にマスタデータ転送準備完了信号（以下、IRDY#信号）をアサートした後、もしくはターゲットデータ転送準備信号（以下、TRDY#信号）をアサートした後にデータ転送を行う。

●バーストデータ転送

PCIバス上では、アドレス及びデータがマルチプレクスされるので、アドレスに続き1個以上の複数のデータが転送される。このような転送をバースト転送と呼び、1度の動作で転送される複数のデータの個数をバースト転送長と呼ぶ。

●使用権の消滅

何れかのデバイスが獲得した使用権は、転送先となるターゲットデバイスからのSTOP#信号の出力により消滅する。転送停止を示すSTOP#信号は、タ

ターゲットデバイスにおいて、データ転送の準備が完了していない時やデータ転送が継続できない時に行われる。

●使用権の再獲得

転送すべきデータが残った状態でP C Iバスの使用権が消滅すると、要求元となるデバイスは、一旦データ転送を中止して、P C Iバスを開放して、再びR E Q出力によるバス使用権の獲得から転送動作をやり直す。S T O P # 信号出力によるデータ転送動作の中止をリトライ終了といい、リトライ終了による一連の転送動作のやり直しをリトライ動作と呼ぶ。

【0014】

以上の使用権獲得がP C Iバスを用いた場合でのデータ転送の原則である。ここで留意すべきは、マスタデバイスからデータの授与されるターゲットデバイスにおけるバースト転送を含むデータ転送において、データ転送を中断させないようにするためには、厳守すべきクロックルールがある。以下にP C Iバスのクロックルールを説明する。

●8クロックルール

バースト転送の間データがI R D Y # 信号、及びT R D Y # 信号が同時にアサートされてから33MHzの動作周波数（以下、C L Kと称す）の8クロック周期内にアクセス出来ない時（S T O P # 信号はアサート状態）、ターゲットデバイスがディスコネクト ターミネーションを実行しなくてはならない。すべてのバスサイクルにおいてターゲット、またはターゲットとしてのブリッジにより厳守されなければならない。

●16クロックルール

ターゲットデバイスがデータ転送要求信号（以下、F R A M E # 信号）のアサートから16C L K信号線周期以内にシングル アクセス サイクル、またはバースト アクセス サイクルの初期アクセスを完了できない場合、ターゲットデバイスはリトライ ターミネーションを実行しなければならない（C L Kの1番目の立ち上がりエッジでF R A M Eがアサートされたとして、S T O P # 信号は、C L Kの17番目の立ち上がりエッジでアサートされなければならない）。ライト アクセス サイクルの場合、ルールの制限内に、データがターゲットによ

●
って受け取られるか、またはリトライ ターミネーションが実行される。リード
アクセス サイクルの場合、ルールの制限内に、ターゲットデバイスはデータ
を送出するか、またはリトライ ターミネーションを実行しなければならない。
リトライ ターミネーションを実行するターゲットデバイスは、アクセス サイ
クルが繰り返されたときに、データをアクセス可能にする。

【0015】

以上が1本のPCIバスを用いた場合であるが、電氣的負荷や安定性を考えると
と接続可能なデバイスの最大数は、5台位が限界となってしまう。それ以上にシ
ステムの規模を拡充したい場合は、複数のPCIバス間にデータ転送制御装置を
設置して、データ転送制御装置の仲介での他方のPCIバスの何れかのデバイス
または、データ転送制御装置に接続された外部記憶媒体への読み出し及び、書き
込み動作をデバイスに行わせる。

【0016】

データ転送制御装置の設置により拡張されたシステムにおいて、2本のPCI
バス間に設置されたデータ転送制御装置に接続された外部記憶媒体へのデータ転
送をどのように仲介するか説明する。

●データ転送制御装置へのデータ読み出し

一方のPCIバスに接続された何れかのデバイスが、データ転送制御装置に接
続された外部記憶媒体からのデータ読出を要求した場合、データ転送制御装置は
当該要求先側のPCIバスにおける使用権獲得と、データ読出の要求とを行う一
方、他方のPCIバスにおける使用権を一旦消滅させる。要求元デバイス（以下
、マスタデバイス）が上記一方のPCIバスにおける使用権獲得が再度成功する
までの間に、要求先デバイス（以下、ターゲット側デバイス）からは次々とデー
タが読み出されてくるが、データ転送制御装置は要求先から読み出されてくるデー
タを内部のバッファに蓄積しておく。マスタ側デバイスが上記一方のPCIバス
の使用権獲得に成功すればデータ転送制御装置はその内部のバッファに蓄えて
おいたデータをマスタ側デバイスに向けて順次出力する。

【0017】

以下、本発明の概要について図面を参照して説明する。

図 1 は本発明におけるデータ転送制御装置の構成を説明する図である。

図 1 において、データ転送制御装置 4 は P-PCI バス 1 a、S-PCI バス 1 b に接続され、P-PCI バス 1 a、S-PCI バス 1 b には、P-PCI マスタデバイス 2 a、S-PCI マスタデバイス 2 b を備え、P-PCI バス 1 a、S-PCI バス 1 b とは直接接続されていない外部記憶媒体 3 を備えている。また、データ転送制御装置 4 には、P-PCI バス側カウンタ回路 5、S-PCI バス側カウンタ回路 6、監視用モニタ回路 7、S-PCI バスインタフェース回路 8、コントローラ回路 9、コントローラ回路を内蔵した P-PCI バスインタフェース回路 10、スケジューラ回路 11、アービタ回路 12、メモリインタフェース回路 13 を備えている。

【0018】

P-PCI バス側カウンタ回路 5 と S-PCI バス側カウンタ回路 6 は、P-PCI マスタデバイス 2 a と S-PCI マスタデバイス 2 b からの各 PCI バスの FRAME # 信号がアサートされてからデータ転送完了を通知する TRDY # 信号がアサートされるまでを CLK サイクル数でカウントし、TRDY # 信号がアサートされるとカウンタは初期化する。また、バースト転送中の PCI バス側に対しては、TRDY # がアサートされてから次の TRDY # 信号がアサートされるまでを CLK サイクル数でカウントし、TRDY # 信号がアサートされる度にカウンタを初期化する。カウントしたサイクル数はスケジューラ回路 11 とコントローラ回路 9 に逐次通知される。

【0019】

監視用モニタ回路 7 は、S-PCI マスタデバイス 2 b からのアクセスを常時監視して、FRAME # 信号のアサートを検出すると S-PCI バスインタフェース回路 8 からスケジューラ回路 11 にリクエスト S 信号 14 を通知する。

【0020】

S-PCI バスインタフェース回路 8 と P-PCI バスインタフェース回路 10 は、P-PCI バス 1 a と S-PCI バス 1 b とのインタフェースを行い、アクセスしている状態をスケジューラ回路 11 に常時通知する。また、P-PCI バスインタフェース回路 10 は TRDY # のコントローラ回路 9 を内蔵しており

、コントローラ回路 9 はカウンタ回路 5 とスケジューラ回路 11 からの TRDY # アサートタイミングの調停を行う。

【0021】

スケジューラ回路 11 は、P-PCI バス側カウンタ回路 5、S-PCI バス側カウンタ回路 6 と P-PCI インタフェース回路 10、S-PCI インタフェース回路 8 より、アクセス中において、カウント数とアクセス状態をモニタしてアービタ回路 12 に現在の状態を通知する。

【0022】

アービタ回路 12 は、スケジューラ回路 11 より通知された状態を判断して、P-PCI バスインタフェース回路 10、S-PCI バスインタフェース 8 に対してメモリインタフェース 13 へのアクセス使用権を調停する。

【0023】

メモリインタフェース回路 13 は、アービタ回路 12 でアクセス使用権を獲得した P-PCI バスインタフェース回路 10 または、S-PCI バスインタフェース回路 8 に対して、外部記憶媒体 3 へのアクセス使用権を与える。

(実施の形態 1)

実施の形態 1 について図 3、図 4 を参照して説明する。

【0024】

図 3 は実施の形態 1 におけるデータ転送制御装置の構成を説明する図である。また、図 4 は実施の形態 1 におけるデータ転送制御装置の動作を示すタイミングチャートであり、データバス幅 32 ビットの外部記憶媒体 23 にアクセスする P-PCI バス 21 a 側、S-PCI バス 21 b 側における各種制御信号についてのタイミングチャートを上段、下段に配置し、中段にリクエスト S 信号線 34、リクエスト P 信号線 35 のタイミングチャートとメモリアクセスアービタとメモリアクセスの状態遷移を示し、上段の P-PCI バス側の制御信号 TRDY # 信号のアサートタイミングを遅らせたタイミングチャートを示した図である。

【0025】

図 3、図 4 において、P-PCI マスタデバイス 22 a がデータ転送制御装置 24 へ FRAME # 信号 36 をアサートして、データの転送要求を行うと、P-

P C Iバスインタフェース回路30がP-P C Iマスタデバイス22aに対してDEVSEL#応答を行い、外部記憶媒体23に対してアクセスを開始する。1つ目のデータの転送後、P-P C Iバスインタフェース回路30は、FRAME#信号36の状態を判断して、アサート状態であることを確認した後、外部記憶媒体23に対してバースト転送を開始する。P-P C Iバス側がバースト転送により2つ目のデータ転送を行っている時、S-P C Iマスタデバイス22bからデータ転送制御装置24へFRAME#信号37をアサートして、データ転送要求が発生した場合、まず、監視用モニタ回路27がS-P C Iマスタデバイス22bからのFRAME#信号37のアサートによるアクセスを検出すると、S-P C Iインタフェース回路28はスケジューラ回路31に対して、S-P C Iバス側へデータ転送を要求するリクエストS信号34を送る。次に、リクエストS信号34を受けたスケジューラ回路31は、この場合、P-P C Iバス側カウンタ回路25からTRDY#がアサートされてからのCLKサイクル数が2サイクル目、S-P C Iバスカウンタ回路26からFRAME#信号がアサートされてからのCLKサイクル数が1サイクル目と通知されているので、P-P C Iバスカウンタ回路25、S-P C Iバスカウンタ回路26のカウンタの基準となる信号のアサートタイミング（P-P C Iバス側はTRDY#信号であり、S-P C Iバス側はFRAME#信号）のうちCLKサイクル数を多く経過した方のサイクル数であるP-P C Iバス側のTRDY#信号をアサートされて経過した2クロックサイクル分遅らせてTRDY#信号をアサートして、S-P C Iからのアクセスを行うようアービタ回路32へ通知する。次に、スケジューラ回路31からTRDY#信号を2クロックサイクル遅らせるよう通知を受けたアービタ回路32は、P-P C Iバスインタフェース回路30に内蔵したコントローラ回路29に対して、TRDY#信号38を2クロックサイクル遅らせるよう通知する。次に、P-P C Iバス側のデータ転送は5クロックサイクルで完了するが、TRDY#信号38はデータ転送完了後2クロックサイクル遅れてアサートされるため、アービタ回路32はP-P C Iバス側の5クロックサイクルのデータ転送完了を確認後、S-P C Iバスインタフェース回路28に対して、S-P C Iバスにアービトレーションを指示して、S-P C Iマスタデバイス22bにアクセス

を許可するよう、IRDY#信号をアサートする。次に、データ転送の許可を受けたS-PCIマスタデバイス22bは、S-PCIバスインタフェース回路28とメモリインタフェース回路33を介して、外部記憶媒体23へアクセスを行う。次に、S-PCIバスインタフェース回路28は、S-PCIマスタデバイス22bからの外部記憶媒体23へのアクセス完了後、スケジューラ回路31に対しアクセス完了のTRDY#信号をアサートする。TRDY#信号のアサートを確認したスケジューラ回路31は、アービタ回路32に対してP-PCIバス側からのアクセスを再開するよう通知する。最後に、スケジューラ回路31からP-PCIバス側のアクセス再開の通知を受けたアービタ回路32は、P-PCIバスインタフェース回路30へP-PCIマスタデバイス22aに対して、アービトレーションを行い、外部記憶媒体23に対してバースト転送を再開させるよう通知する。

【0026】

このように、P-PCI側の2回目のデータ転送に対するTRDY#信号がアサートされてから8クロックサイクル以内にP-PCI側の3回目のデータ転送が終了するように、P-PCI側の2回目のデータ転送に対するTRDY#信号のアサートを遅らせることにより、P-PCI側のバースト転送が中断されず、S-PCI側のデータ転送後、続けてP-PCI側の3回目のデータ転送を行うことができるので、P-PCIバス側バースト転送中にS-PCIバス側アクセスが発生しても、高速なデータ転送を実現することができる。

(実施の形態2)

実施の形態2について図5、図6を参照して説明する。

【0027】

図5は実施の形態2におけるデータ転送制御装置の構成を説明する図である。また、図6は実施の形態2におけるデータ転送制御装置の動作を示すタイミングチャートであり、データバス幅32ビットの外部記憶媒体43にアクセスするP-PCIバス41a側、S-PCIバス41b側における各種制御信号についてのタイミングチャートを上段、下段に配置し、中段にリクエストS信号線54、リクエストP信号線55のタイミングチャートとメモリアクセスアービタとメモ

リアクセスの状態遷移を示し、上段のP-PCIバス側のバースト転送をSTOP#信号58でディスコネクトしたタイミングチャートを示した図である。

【0028】

図5、図6において、P-PCIマスタデバイス42aがデータ転送制御装置44へFRAME#信号56をアサートして、データ転送要求を行うと、P-PCIバスインタフェース回路50がP-PCIマスタデバイス42aに対してDEVSEL#応答を行い、外部記憶媒体43に対してアクセスを開始する。1つのデータの転送後、P-PCIバスインタフェース回路50は、FRAME#信号56の状態を判断して、アサート状態であることを確認した後、外部記憶媒体43に対してバースト転送を開始する。P-PCIバス側がバースト転送を行っている時、S-PCIマスタデバイス42bからデータ転送制御装置44へFRAME#信号57をアサートして、データ転送要求が発生した場合、まず、監視用モニタ回路47がS-PCIマスタデバイス42bからのFRAME#信号57のアサートによるアクセスを検出すると、S-PCIインタフェース回路48はスケジューラ回路51に対して、S-PCIバス側へデータ転送を要求するリクエストS信号54を送る。次に、リクエストS信号54を受けたスケジューラ回路51は、現在バースト転送を行っているP-PCIバスインタフェース回路50に対してSTOP#信号をアサートしてディスコネクトを行い、S-PCIバス41bからのアクセスを行うようアービタ回路52へ通知する。次に、スケジューラ回路51からSTOP#信号をアサートしてディスコネクトするよう通知を受けたアービタ回路52は、P-PCIバスインタフェース回路50に対して、STOP#信号をアサートしてディスクコネクトを行うよう通知する。次に、P-PCIバスインタフェース回路50がデータ転送中にSTOP#信号58をアサートすることによって、ディスクコネクトを行った後、アービタ回路52はS-PCIバスインタフェース回路48に対して、S-PCIバスにアービトレーションを指示して、S-PCIマスタデバイス42bにアクセスを許可するよう、IRDY#信号をアサートする。ディスコネクトの発生でデータ転送が途中で中断したP-PCIマスタデバイス42aは、ディスコネクト直後にデータ転送制御装置44へFRAME#信号56をアサートしてデータ転送を要求する

。次に、データ転送の許可を受けたS-PCIマスタデバイス42bは、S-PCIバスインタフェース回路48とメモリアクセス回路53を介して、外部記憶媒体43へアクセスを行う。次に、S-PCIバスインタフェース回路は48、S-PCIマスタデバイス42bからの外部記憶媒体43へのアクセス完了後、スケジューラ回路51に対しアクセス完了のTRDY#信号をアサートする。TRDY#信号のアサートを確認したスケジューラ回路51は、アービタ回路52に対してP-PCIバス41a側からのアクセスを再開するよう通知する。最後に、スケジューラ回路51からP-PCIバス41a側のアクセス再開の通知を受けたアービタ回路52は、P-PCIバスインタフェース回路50へP-PCIマスタデバイス42aに対して、アービトレーションを行い、外部記憶媒体43に対してバースト転送を再開させるよう通知する。

【0029】

このように、P-PCIバス側の転送がディスコネクトした直後にFRAME#信号をアサートする構成となっているので、S-PCIバス側の転送中にP-PCIバス側の転送準備をすすめることができ、S-PCIバス側の転送が終了してからP-PCIバス側の転送を開始するまでの時間を短縮することができる。したがって、P-PCIバス側バースト転送中にS-PCIバス側アクセスが発生しても、高速なデータ転送を実現することができる。

(実施の形態3)

実施の形態3について図7、図8を参照して説明する。

【0030】

図7は実施の形態3におけるデータ転送制御装置の構成を説明する図である。また、図8は実施の形態3におけるデータ転送制御装置の動作を示すタイミングチャートであり、データバス幅16ビットの外部記憶媒体63に32ビットアクセスするP-PCIバス61a側、16ビットアクセスするS-PCIバス61b側における各種制御信号についてのタイミングチャートを上段、下段に配置し、中段にリクエストS信号線74、リクエストP信号線75のタイミングチャートとメモリアクセスアービタとメモリアクセスの状態遷移を示し、上段のP-PCIバス側の制御信号TRDY#信号78のアサートタイミングを遅らせたタイ

ミングチャートを示した図である。また、データバス幅 16 ビットの外部記憶媒体 63 に対して 32 ビットのデータ転送を行う場合は、上位または下位 16 ビット分のデータを 1 回目のデータ転送で行い、1 回目の転送完了後に残りの 16 ビットのデータ転送を行うものとして、また、32 ビットのデータ転送に 6 クロックサイクル有するものとして、S-PCI バスマスタ 62b からのアクセスは、16 ビットアクセスであるとする。

【0031】

図 7、図 8 において、P-PCI マスタデバイス 62a がデータ転送制御装置 64 へ FRAME# 信号 76 をアサートして、データ転送要求を行うと、P-PCI バスインタフェース回路 70 が P-PCI マスタデバイス 62a に対して DEVSEL# 応答を行い、データバス幅 16 ビットの外部記憶媒体 63 に対してアクセスを開始する。1 つのデータの転送後、P-PCI バスインタフェース回路 70 は、FRAME# 信号 76 の状態を判断して、アサート状態であることを確認した後、外部記憶媒体 63 に対してバースト転送を開始する。P-PCI バス側がバースト転送を行っている時に、S-PCI マスタデバイス 62b からデータ転送制御装置 64 へ FRAME# 信号 77 をアサートして、データ転送要求が発生した場合、まず、監視用モニタ回路 67 が S-PCI マスタデバイス 62b からの FRAME# 信号 77 アサートによるアクセスを検出すると、S-PCI インタフェース回路 68 はスケジューラ回路 71 に対して、S-PCI バス 61b 側へデータ転送要求するリクエスト S 信号 74 を送る。次に、リクエスト S 信号 74 を受けたスケジューラ回路 71 は、P-PCI バス側カウンタ回路 65 から TRDY# がアサートされてからの CLK サイクル数が 4 サイクル目、S-PCI バスカウンタ回路 66 から FRAME# 信号がアサートされてからの CLK サイクル数が 1 サイクル目と通知されているので、1 つのデータ転送に要する 6 クロックサイクルと P-PCI バス側の TRDY# 信号がアサートされて経過した 4 クロックサイクルの差が $6 - 4 = 2$ となることにより、2 クロックサイクル分遅らせて TRDY# 信号をアサートして S-PCI バス 61b からのメモリアクセスを行うようアービタ回路 72 へ通知する。次に、スケジューラ回路 71 から TRDY# 信号を 2 クロックサイクル遅らせるよう通知を受けたアービタ回

路 7 2 は、P - P C I バスインタフェース回路 7 0 に内蔵したコントローラ回路 6 9 に対して、T R D Y # 信号 7 8 を 2 サイクル遅らせるよう通知する。次に、P - P C I バス側のデータ転送は 6 クロックサイクルで完了するが、T R D Y # 信号 7 8 はデータ転送完了後 2 クロックサイクル遅れてアサートされるため、アービタ回路 7 2 は P - P C I バス 6 1 a 側の 6 クロックサイクルのデータ転送完了を確認後、S - P C I バスインタフェース回路 6 8 に対して、S - P C I バスにアービトレーションを指示して、S - P C I マスタデバイス 6 2 b にアクセスを許可するよう、I R D Y # 信号をアサートする。次に、データ転送の許可を受けた S - P C I マスタデバイス 6 2 b は、S - P C I バスインタフェース回路 6 8 とメモリインタフェース回路 7 3 を介して、外部記憶媒体 6 3 に対してアクセスを行う。次に、S - P C I バスインタフェース回路 6 8 は、S - P C I マスタデバイス 6 2 b からの外部記憶媒体 6 3 へのアクセス完了後、スケジューラ回路 7 1 に対しアクセス完了の T R D Y # 信号をアサートする。T R D Y # 信号のアサートを確認したスケジューラ回路 7 1 はアービタ回路 7 2 に対して P - P C I バス側からのアクセスを再開するよう通知する。最後に、スケジューラ回路 7 1 から P - P C I バス 6 1 a 側のアクセス再開の通知を受けたアービタ回路 7 2 は、P - P C I バスインタフェース回路 7 0 へ P - P C I マスタデバイス 6 2 a に対して、アービトレーションを行い、外部記憶媒体 6 3 に対してバースト転送を再開させるよう通知する。

【0 0 3 2】

このように、P - P C I 側の 2 回目のデータ転送に対する T R D Y # 信号がアサートされてから 8 クロックサイクル以内に P - P C I 側の 3 回目のデータ転送が終了するように、P - P C I 側の 2 回目のデータ転送に対する T R D Y # 信号のアサートを遅らせることにより、P - P C I 側のバースト転送が中断されず、S - P C I 側のデータ転送後、続けて P - P C I 側の 3 回目のデータ転送を行うことができるので、P - P C I バス側バースト転送中に S - P C I バス側アクセスが発生しても、高速なデータ転送を実現することができる。

【0 0 3 3】

(実施の形態 4)

実施の形態 4 について図 9、図 10 を参照して説明する。

図 9 は実施の形態 4 におけるデータ転送制御装置の構成を説明する図である。また、図 10 は実施の形態 4 におけるデータ転送制御装置の動作を示すタイミングチャートであり、データバス幅 16 ビットの外部記憶媒体 83 に 32 ビットアクセスする P-PCI バス 81 a 側、S-PCI バス 81 b 側における各種制御信号についてのタイミングチャートを上段、下段に配置し、中段にリクエスト S 信号 94、リクエスト P 信号 95 のタイミングチャートとメモリアクセスアービタとメモリアクセスの状態遷移を示し、上段の P-PCI バス 81 a 側の制御信号 TRDY# 信号 98 のアサートタイミングを遅らせたタイミングチャートを示した図である。また、データバス幅 16 ビットの外部記憶媒体 83 に対して 32 ビットのデータ転送を行う場合は、上位または下位 16 ビット分のデータを 1 回目のデータ転送で行い、1 回目の転送完了後に残りの 16 ビットのデータ転送を行うものとして、また、32 ビットのデータ転送に 6 クロックサイクル有するものとする。

【0034】

図 9、図 10 において、P-PCI マスタデバイス 82 a がデータ転送制御装置 84 へ FRAME# 信号 96 をアサートして、データ転送要求を行うと、P-PCI バスインタフェース回路 90 が P-PCI マスタデバイス 82 a に対して DEVSEL# 応答を行い、データバス幅 16 ビットの外部記憶媒体 83 に対してアクセスを開始する。1 つのデータの転送後、P-PCI バスインタフェース回路 90 は、FRAME# 信号 96 の状態を判断して、アサート状態であることを確認した後、外部記憶媒体 83 に対してバースト転送を開始する。P-PCI バス 81 a 側がバースト転送を行っている時に、S-PCI マスタデバイス 82 b からデータ転送制御装置 84 へ FRAME# 信号 97 をアサートして、データ転送要求が発生した場合、まず、監視用モニタ回路 87 が S-PCI マスタデバイス 82 b からの FRAME# 信号 97 アサートによるアクセスを検出すると、S-PCI インタフェース回路 88 はスケジューラ回路 91 に対して、S-PCI バス 81 b 側へデータ転送要求するリクエスト S 信号 94 を送る。次に、リクエスト S 信号 94 を受けたスケジューラ回路 91 は、P-PCI バス側カウンタ

回路 85 から TRDY# がアサートされてからの CLK サイクル数が 4 サイクル目、S-PCI バスカウンタ回路 86 から FRAME# 信号がアサートされてからの CLK サイクル数が 1 サイクル目と通知されているので、1 つのデータ転送に要する 6 クロックサイクルと P-PCI バス側の TRDY# 信号がアサートされて経過した 4 クロックサイクルの差が $6 - 4 = 2$ となることにより、2 クロックサイクル分遅らせて TRDY# 信号をアサートして、S-PCI からのメモリアクセスを行うようアービタ回路 92 へ通知する。次に、スケジューラ回路 91 から TRDY# 信号を 2 クロックサイクル遅らせるよう通知を受けたアービタ回路 92 は、P-PCI バスインタフェース回路 90 に内蔵したコントローラ回路 89 に対して、TRDY# 信号 98 を 2 サイクル遅らせるよう通知する。次に、P-PCI バス 81a 側のデータ転送は 6 クロックサイクルで完了するが、TRDY# 信号 98 はデータ転送完了後 2 クロックサイクル遅れてアサートされるため、アービタ回路 92 は P-PCI バス側の 6 クロックサイクルのデータ転送完了を確認後、S-PCI バスインタフェース回路 88 に対して、S-PCI バスにアービトレーションを指示して、S-PCI マスタデバイス 82b にアクセスを許可するよう、IRDY# 信号をアサートする。次に、許可を受けた S-PCI マスタデバイス 82b は、S-PCI バスインタフェース回路 88 とメモリアインタフェース回路 93 を介して、外部記憶媒体 83 に対してアクセスを行う。次に、S-PCI バスインタフェース回路 88 は、S-PCI マスタデバイス 82b からの外部記憶媒体 83 へ 1 回目の 16 ビット分のデータ転送完了後、スケジューラ回路 91 に対しアクセス完了のリクエスト S 信号 94 を通知して、その通知を受けたスケジューラ回路 91 はアービタ回路 92 に対して S-PCI バス 81b 側からのアクセスをディスコネクトよう通知する。次に、スケジューラ回路 91 からディスコネクト要求を受けたアービタ回路 92 は、S-PCI バスインタフェース回路 88 に S-PCI マスタデバイス 82a へ、STOP# 信号をアサートしてディスコネクトさせる。また、S-PCI バスインタフェース回路 88 の STOP# 信号のアサートを確認したアービタ回路 92 は、P-PCI バスインタフェース回路 90 に P-PCI マスタデバイス 82a へ、アービトレーションを行い、外部記憶媒体 83 に対してバースト転送を再開させる。次に、デ

スコネクトの発生でデータ転送が中断したS-PCIマスタデバイス82bは、デイスコネクト直後にデータ転送制御装置84へFRAME#信号97のアサートしてデータ転送を要求する。また、再び、S-PCIマスタデバイス82bからFRAME#信号97のアサートによるデータ転送要求が発生した時には、上記のようにS-PCIマスタデバイス82bは外部記憶媒体83に対するアクセスを行う。次に、S-PCIバスインタフェース回路88は、S-PCIマスタデバイス82bからの外部記憶媒体83へのアクセス完了後、スケジューラ回路91に対しアクセス完了のTRDY#信号をアサートする。TRDY#信号のアサートを確認したスケジューラ回路91は、アービタ回路92に対してP-PCIバス81a側からのアクセスを再開するよう通知する。最後に、スケジューラ回路91からP-PCIバス81a側のアクセス再開の通知を受けたアービタ回路92は、P-PCIバスインタフェース回路90へP-PCIマスタデバイス82aに対して、アービトレーションを行い、外部記憶媒体83に対してバースト転送を再開させるよう通知する。

【0035】

このように、P-PCI側のデータ転送に対するTRDY#信号がアサートされてから8クロックサイクル以内にP-PCI側の次のデータ転送が終了するように、P-PCI側のデータ転送に対するTRDY#信号のアサートを遅らせることにより、P-PCI側のバースト転送が中断されず、S-PCI側のデータ転送後、続けてP-PCI側のデータ転送を行うことができるので、P-PCIバス側バースト転送中にS-PCIバス側アクセスが発生しても、高速なデータ転送を実現することができる。

【0036】

【発明の効果】

以上説明したように、本発明のデータ転送制御装置によると、P-PCIバスのバースト転送している時に、S-PCIバスが転送要求したとしても、P-PCI側のデータ転送に対するTRDY#信号がアサートされてから8クロックサイクル以内にP-PCI側の次のデータ転送が終了するように、P-PCI側のデータ転送に対するTRDY#信号のアサートを遅らせることにより、P-PC

I 側のバースト転送が中断されず、S-P C I 側のデータ転送後、続けて P-P C I 側のデータ転送を行うことができるので、P-P C I バス側バースト転送中に S-P C I バス側アクセスが発生しても、高速なデータ転送を実現することができる。

【0037】

また、P-P C I バス側の転送がディスコネクトした直後に F R A M E # 信号をアサートする構成とすることにより、S-P C I バス側の転送中に P-P C I バス側の転送準備をすすめることができ、S-P C I バス側の転送が終了してから P-P C I バス側の転送を開始するまでの時間を短縮することができる。したがって、P-P C I バス側バースト転送中に S-P C I バス側アクセスが発生しても、高速なデータ転送を実現することができる。

【図面の簡単な説明】

【図1】

本発明におけるデータ転送制御装置の構成を説明する図

【図2】

従来技術におけるデータ転送制御装置の動作を示すタイミングチャート

【図3】

実施の形態1におけるデータ転送制御装置の構成を説明する図

【図4】

実施の形態1におけるデータ転送制御装置の動作を示すタイミングチャート

【図5】

実施の形態2におけるデータ転送制御装置の構成を説明する図

【図6】

実施の形態2におけるデータ転送制御装置の動作を示すタイミングチャート

【図7】

実施の形態3におけるデータ転送制御装置の構成を説明する図

【図8】

実施の形態3におけるデータ転送制御装置の動作を示すタイミングチャート

【図9】

実施の形態 4 におけるデータ転送制御装置の構成を説明する図

【図 10】

実施の形態 4 におけるデータ転送制御装置の動作を示すタイミングチャート

【符号の説明】

- 1 a P-P C I バス
- 1 b S-P C I バス
- 2 a P-P C I マスタデバイス
- 2 b S-P C I マスタデバイス
- 3 外部記憶媒体
- 4 データ転送制御装置
- 5 P-P C I バス側カウンタ回路
- 6 S-P C I バス側カウンタ回路
- 7 監視用モニタ回路
- 8 S-P C I バスインタフェース回路
- 9 コントローラ回路
- 1 0 P-P C I バスインタフェース回路
- 1 1 スケジューラ回路
- 1 2 アービタ回路
- 1 3 メモリインタフェース回路
- 1 4 リクエスト S 信号線
- 2 2 a P-P C I マスタデバイス
- 2 2 b S-P C I マスタデバイス
- 2 3 外部記憶媒体
- 2 4 データ転送制御装置
- 2 5 P-P C I バス側カウンタ回路
- 2 6 S-P C I バス側カウンタ回路
- 2 7 監視用モニタ回路
- 2 8 S-P C I バスインタフェース回路
- 2 9 コントローラ回路

- 3 0 P - P C I バスインタフェース回路
- 3 1 スケジューラ回路
- 3 2 アービタ回路
- 3 3 メモリインタフェース回路
- 3 4 リクエスト S 信号線
- 3 5 リクエスト P 信号線
- 3 6 FRAME # 信号
- 3 7 FRAME # 信号
- 3 8 TRDY # 信号
- 4 1 a P - P C I バス
- 4 1 b S - P C I バス
- 4 2 a P - P C I マスタデバイス
- 4 2 b S - P C I マスタデバイス
- 4 3 外部記憶媒体
- 4 4 データ転送制御装置
- 4 7 監視用モニタ回路
- 4 8 S - P C I バスインタフェース回路
- 5 0 P - P C I バスインタフェース回路
- 5 1 スケジューラ回路
- 5 2 アービタ回路
- 5 3 メモリインタフェース回路
- 5 4 リクエスト S 信号線
- 5 5 リクエスト P 信号線
- 5 6 FRAME # 信号
- 5 7 FRAME # 信号
- 5 8 STOP # 信号
- 6 1 a P - P C I バス
- 6 1 b S - P C I バス
- 6 2 a P - P C I マスタデバイス

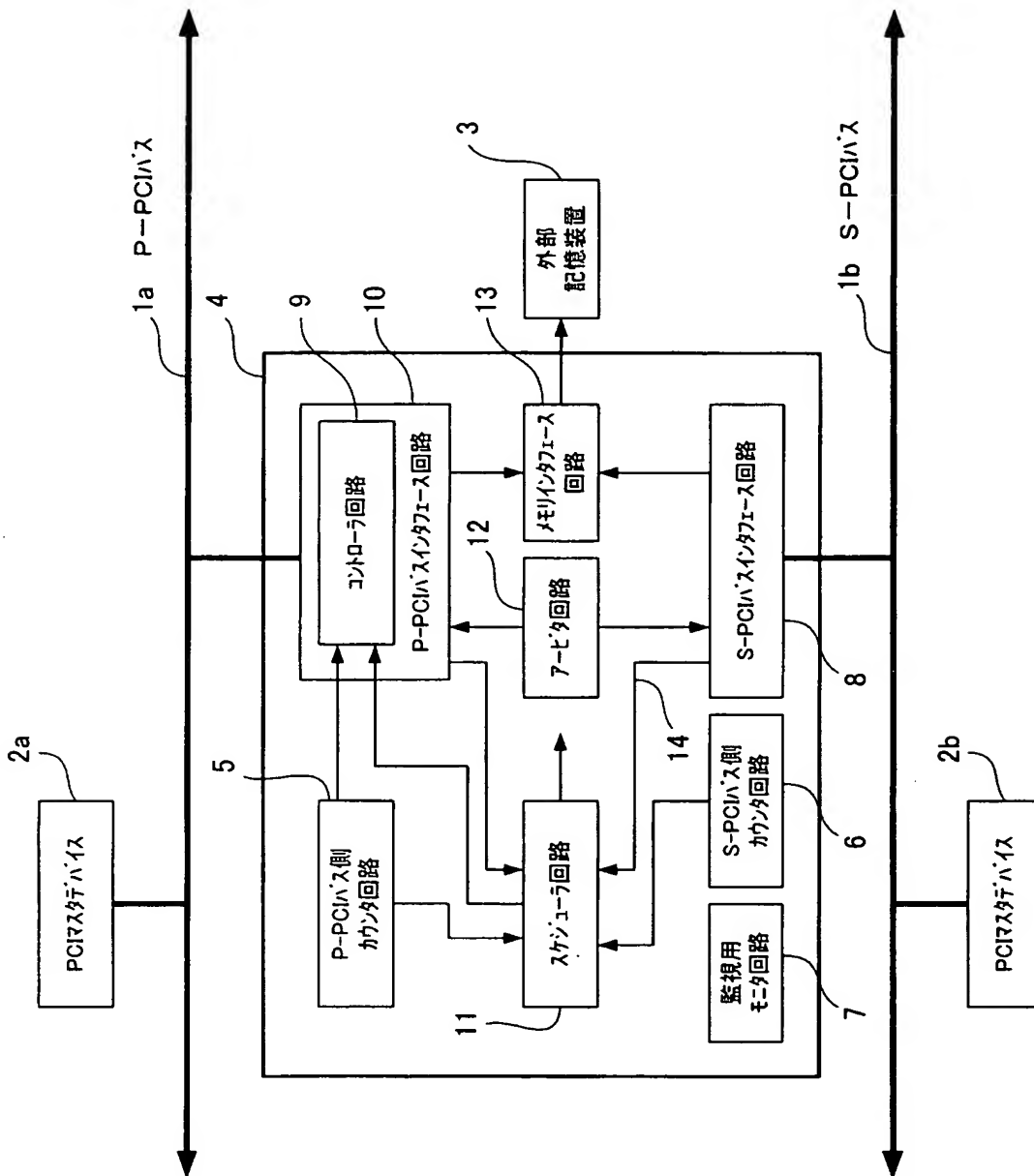
- 6 2 b S - P C I マスタデバイス
- 6 3 外部記憶媒体
- 6 4 データ転送制御装置
- 6 5 P - P C I バス側カウンタ回路
- 6 6 S - P C I バス側カウンタ回路
- 6 7 監視用モニタ回路
- 6 8 S - P C I バスインタフェース回路
- 6 9 コントローラ回路
- 7 0 P - P C I バスインタフェース回路
- 7 1 スケジューラ回路
- 7 2 アービタ回路
- 7 3 メモリインタフェース回路
- 7 4 リクエスト S 信号線
- 7 5 リクエスト P 信号線
- 7 6 F R A M E # 信号
- 7 7 F R A M E # 信号
- 7 8 T R D Y # 信号
- 8 1 a P - P C I バス
- 8 1 b S - P C I バス
- 8 2 a P - P C I マスタデバイス
- 8 2 b S - P C I マスタデバイス
- 8 3 外部記憶媒体
- 8 4 データ転送制御装置
- 8 5 P - P C I バス側カウンタ回路部
- 8 6 S - P C I バス側カウンタ回路部
- 8 7 監視用モニタ回路
- 8 8 S - P C I バスインタフェース回路
- 8 9 コントローラ回路
- 9 0 P - P C I バスインタフェース回路

- 9 1 スケジューラ回路
- 9 2 アービタ回路
- 9 3 メモリインタフェース回路
- 9 4 リクエスト S 信号線
- 9 5 リクエスト P 信号線
- 9 6 FRAME # 信号
- 9 7 FRAME # 信号
- 9 8 STOP # 信号

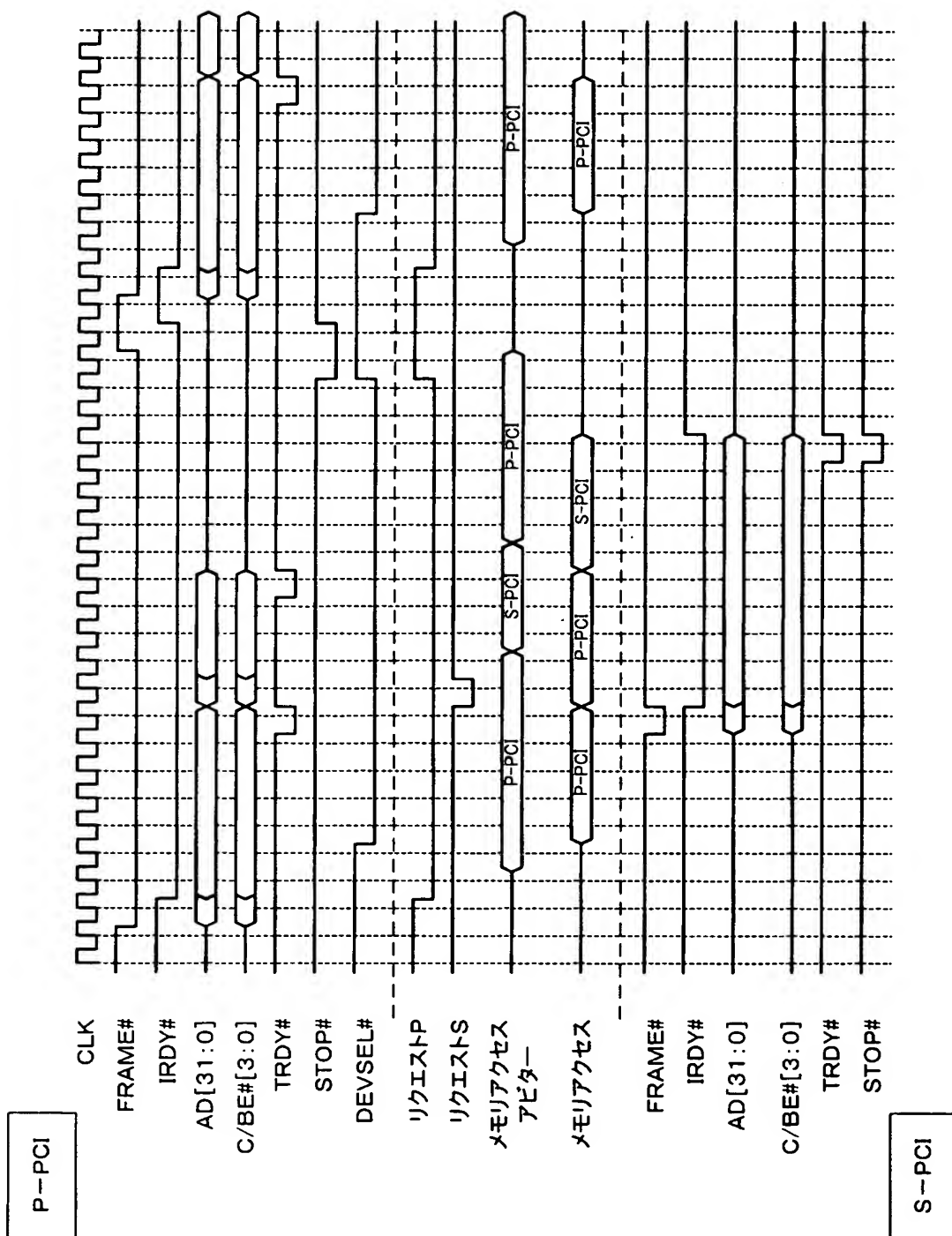
【書類名】

図面

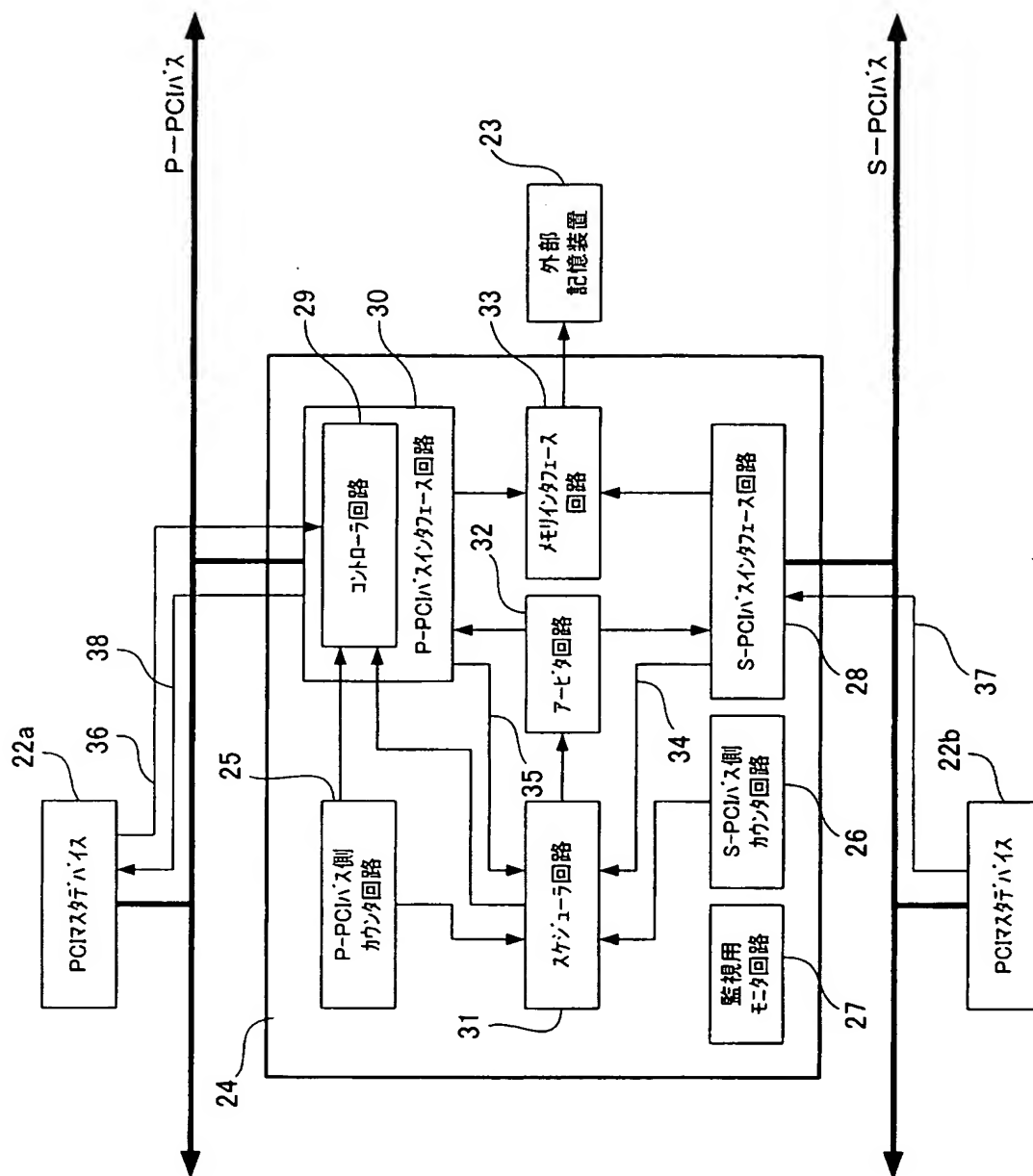
【図 1】



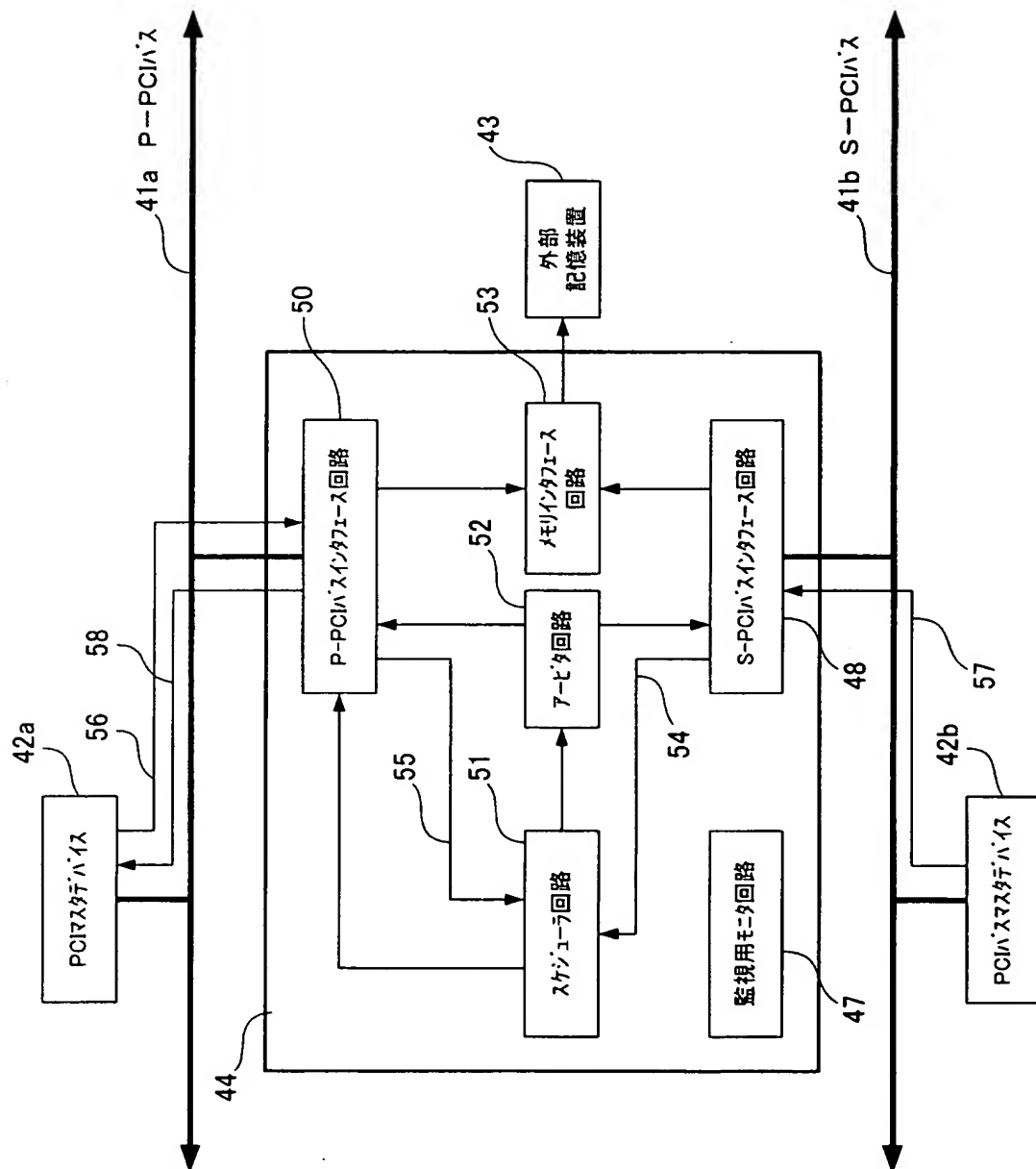
【図 2】



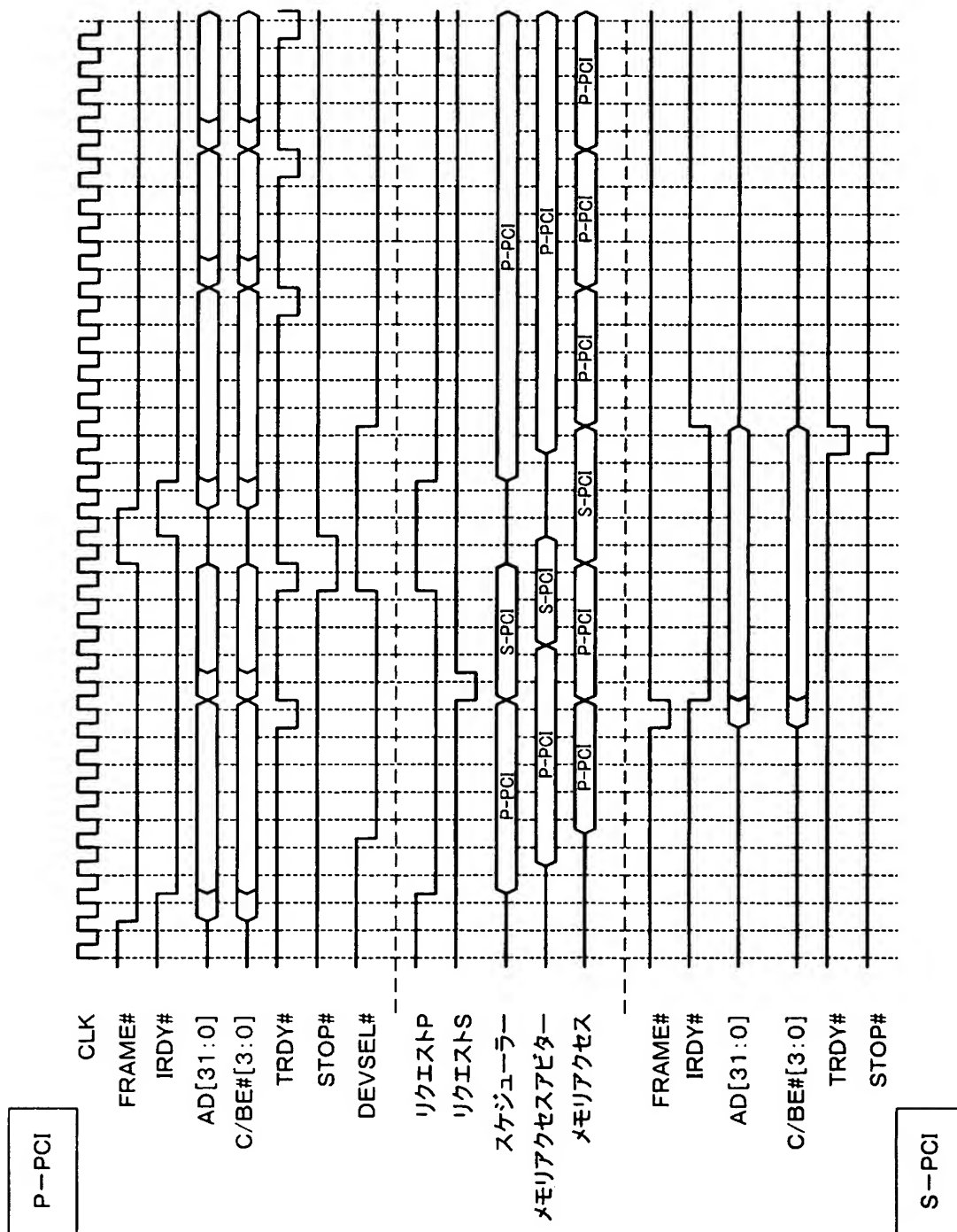
【図 3】



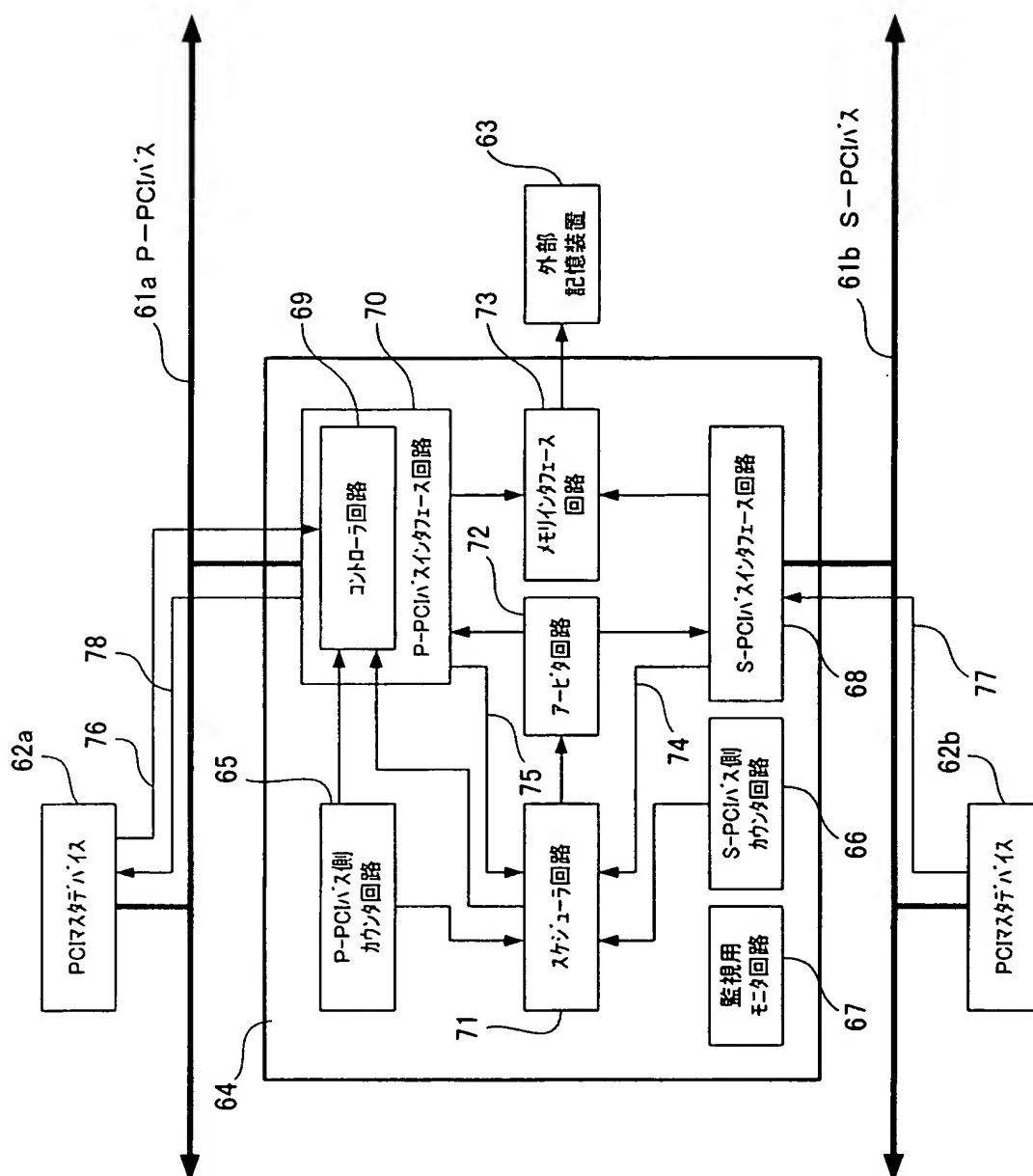
【図 5】



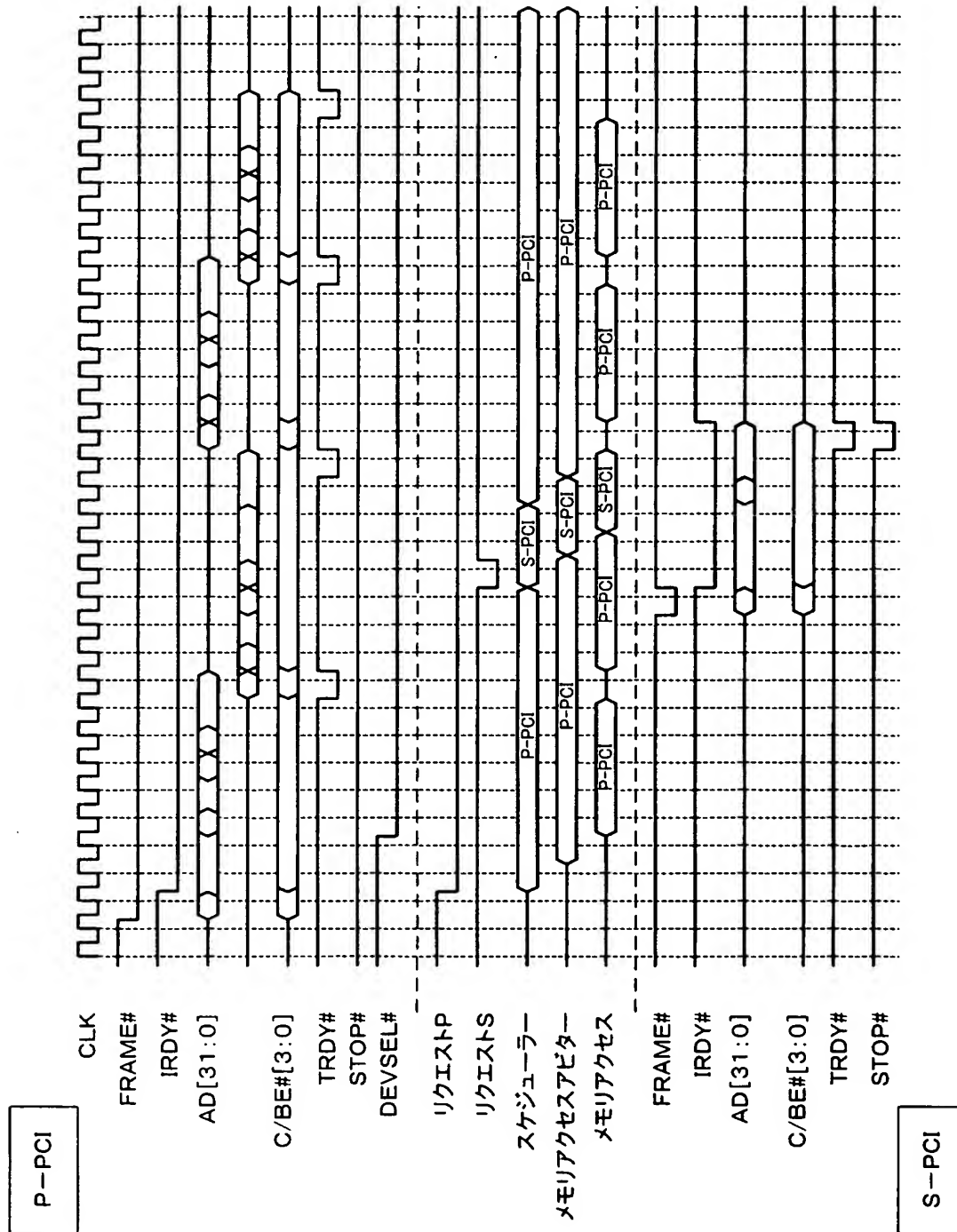
【図 6】



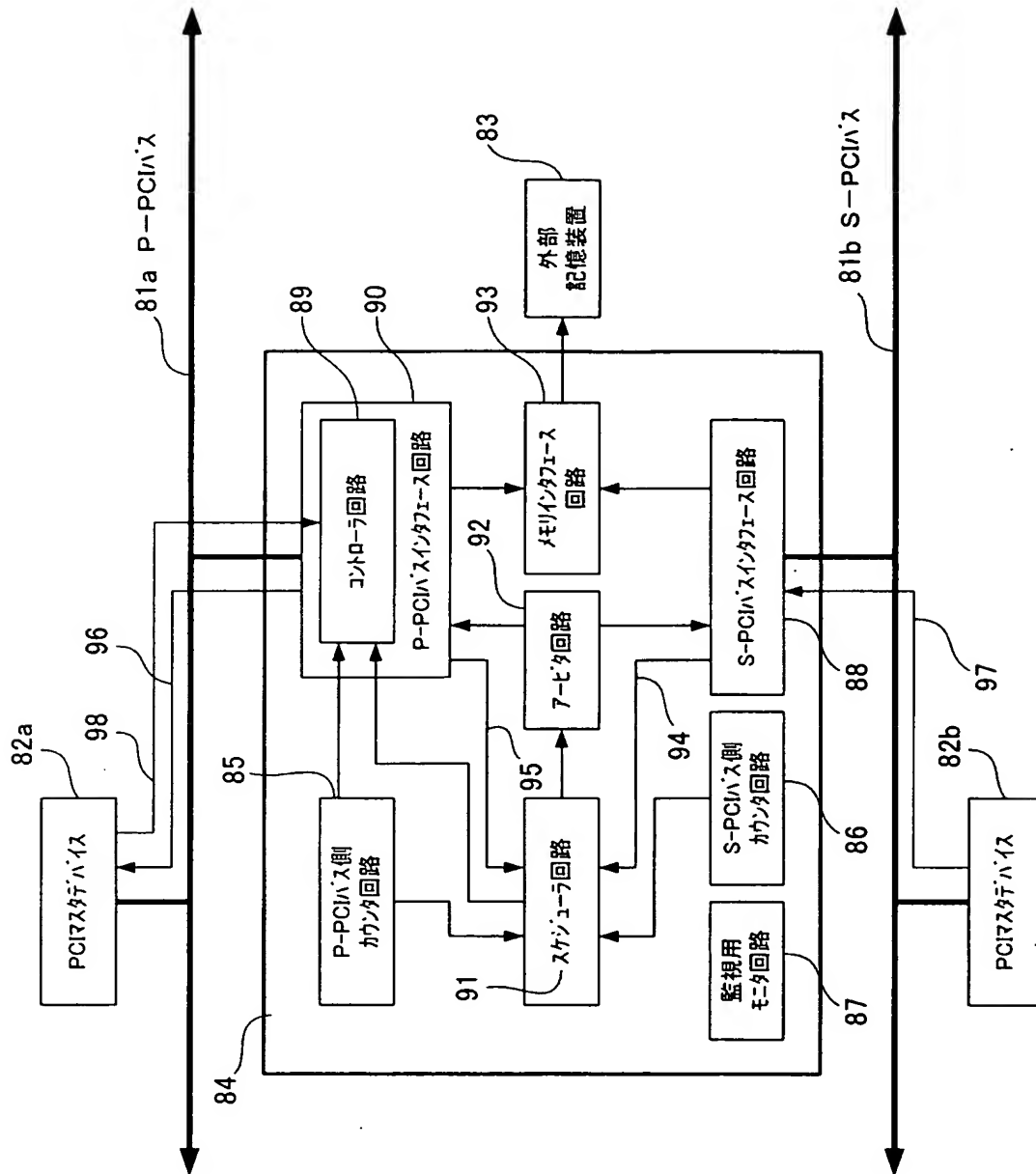
【圖 7】



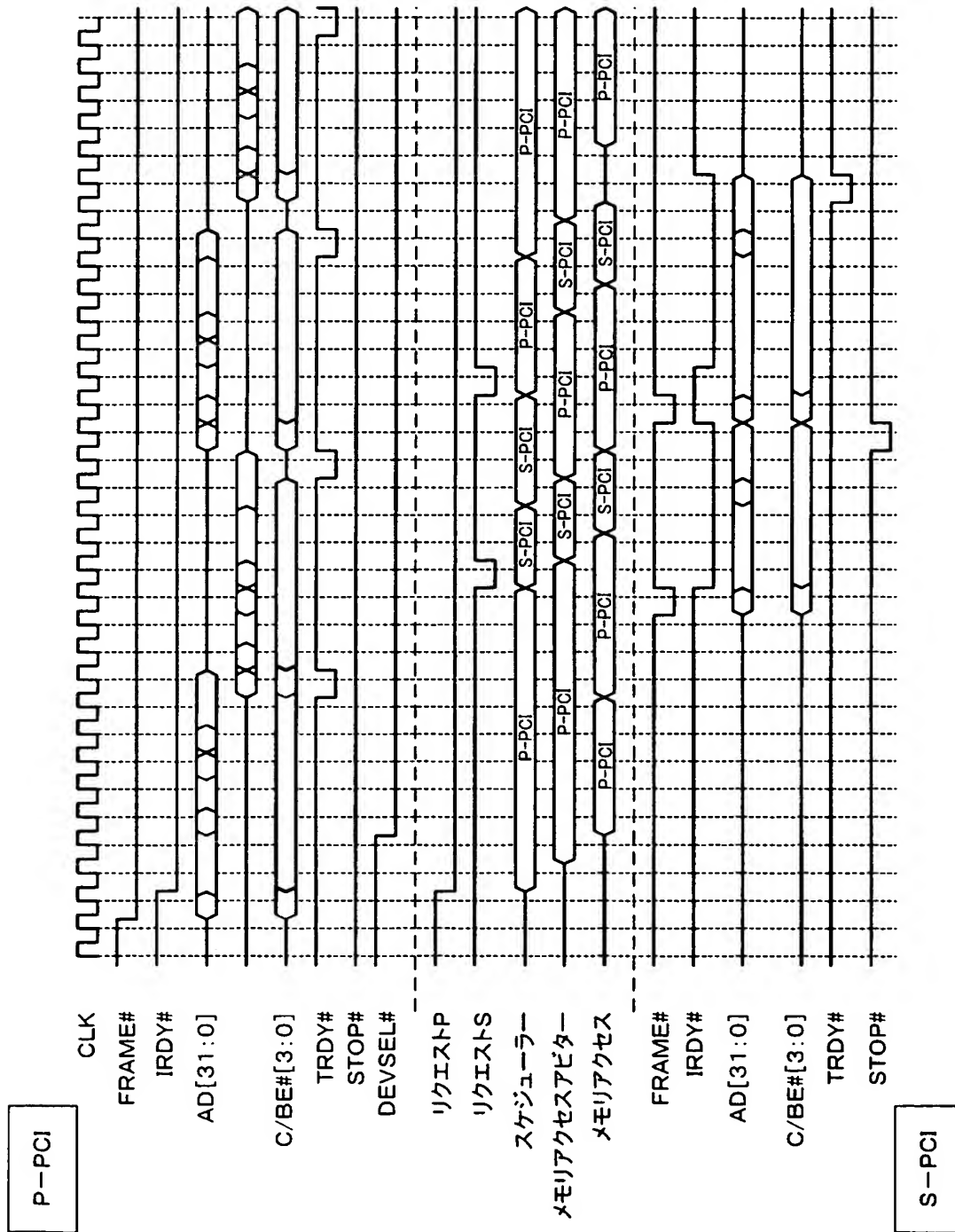
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 P-PCIバス側バースト転送中、S-PCIバス側アクセスが発生しても、高速なデータ転送を実現することを目的とする。

【解決手段】 P-PCIバス1aのバースト転送している時に、S-PCIバス1bが転送要求したとしても、P-PCI側のデータ転送に対するTRDY#信号がアサートされてから8クロックサイクル以内にP-PCI側の次のデータ転送が終了するように、P-PCI側のデータ転送に対するTRDY#信号のアサートを遅らせることにより、P-PCI側のバースト転送が中断されず、S-PCI側のデータ転送後、続けてP-PCI側のデータ転送を行うことができるので、P-PCIバス側バースト転送中にS-PCIバス側アクセスが発生しても、高速なデータ転送を実現することができる。

【選択図】 図1

特願 2 0 0 3 - 0 5 6 4 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社